

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
5. Dezember 2002 (05.12.2002)

PCT

(10) Internationale Veröffentlichungsnummer
WO 02/097895 A2

(51) Internationale Patentklassifikation: H01L 29/00

(21) Internationales Aktenzeichen: PCT/EP02/05773

(22) Internationales Anmeldedatum:
24. Mai 2002 (24.05.2002)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
101 27 234.0 26. Mai 2001 (26.05.2001) DE
101 55 915.1 12. November 2001 (12.11.2001) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): IHP GMBH-INNOVATIONS FOR HIGH

PERFORMANCE MICROELECTRONICS / INSTI-
TUT FÜR INNOVATIVE MIKROELEKTRONIK
[DE/DE]; Im Technologiepark 25, 15204 Frankfurt (DE).

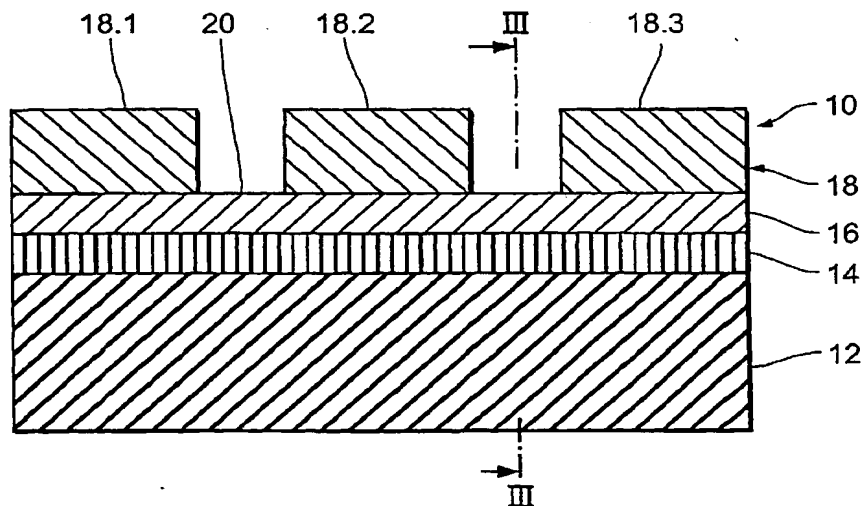
(72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): KRÜGER, Dietmar
[DE/DE]; Puschkinstrasse 43, 15236 Frankfurt (DE).
GORJACHKO, Andriy [UA/DE]; Blankenfelderstrasse
16, 15232 Frankfurt (DE). KURPS, Rainer [DE/DE];
Thomasiusstrasse 13, 15232 Frankfurt (DE). LIU, Jing,
Ping [CN/DE]; R.-Havemann-Strasse 17, 15236 Frankfurt
(DE). OSTEN, Hans-Jörg [DE/DE]; Fasanenweg 19,
15299 Müllrose (DE).

(74) Anwalt: EISENFÜHR, SPEISER & PARTNER; Pacel-
lallee 43/45, 14195 Berlin (DE).

[Fortsetzung auf der nächsten Seite]

(54) Title: TRANSISTOR, METHOD FOR PRODUCING AN INTEGRATED CIRCUIT AND METHOD FOR PRODUCING A
METAL SILICIDE LAYER

(54) Bezeichnung: TRANSISTOR, VERFAHREN ZUR HERSTELLUNG EINER INTEGRIERTEN SCHALTUNG UND VER-
FAHREN ZUR HERSTELLUNG EINER METALLSILIZIDSCHICHT



(57) Abstract: The invention relates to a method for the selective silicidation of contact areas that allow the production of highly integrated circuits, preferably in a CMOS or BiCMOS process. To this end, a metal oxide layer (14) that contains for example praseodymium oxide is deposited onto a prepared wafer (12). A silicon layer (16) and on top of said silicon layer a cover layer (18) is deposited onto the metal oxide layer (14), said cover layer being laterally structured. In a subsequent tempering step in an oxygen-free, reducing gas atmosphere the silicon layer (16) and the metal oxide layer (14) are converted to a metal silicide layer in lateral sections (20, 22) in which the cover layer (18) was previously removed.

[Fortsetzung auf der nächsten Seite]

WO 02/097895 A2



(81) **Bestimmungsstaaten (national):** JP, US.

(84) **Bestimmungsstaaten (regional):** europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

Erklärung gemäß Regel 4.17:

..... hinsichtlich der Berechtigung des Anmelders, ein Patent zu beantragen und zu erhalten (Regel 4.17 Ziffer ii) für die folgenden Bestimmungsstaaten JP, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR)

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) **Zusammenfassung:** Für die Herstellung einer höchstintegrierten Schaltung, vorzugsweise im Rahmen eines CMOS oder BiC-MOS-Prozesses, wird ein neuartiges Verfahren zur selektiven Silizidierung von Kontaktbereichen vorgeschlagen. Dabei wird eine Metalloxidschicht (14), die beispielsweise Praseodymoxid enthält, auf einem präparierten Wafer (12) abgeschieden. Auf der Metalloxidschicht (14) wird anschließend eine Siliziumschicht (16) und auf dieser eine Deckelschicht (18) abgeschieden. Die Deckelschicht wird lateral strukturiert. In einem nachfolgenden Temperschnitt in sauerstofffreier, reduzierender Gasatmosphäre wird in Lateralabschnitten (20, 22), in denen die Deckelschicht (18) entfernt wurde, die Siliziumschicht (16) und die Metalloxidschicht (14) in eine Metallsilizidschicht umgewandelt.

Transistor, Verfahren zur Herstellung einer integrierten Schaltung und
Verfahren zur Herstellung einer Metallsilizidschicht

Die Erfindung betrifft einen Transistor mit einem metallsilizidhaltigen Kontaktbereich zwischen einem halbleitenden Bereich und einem metallisch leitenden Bereich. Weiterhin betrifft die Erfindung ein Verfahren zur Herstellung einer integrierten Schaltung auf einem Substrat, bei dem auf einer Siliziumoberfläche in einem oder mehreren Lateralabschnitten ein metallsilizidhaltiger Kontaktbereich erzeugt wird. Schließlich betrifft die Erfindung ein Verfahren zur Herstellung einer Metallsilizidschicht auf einem Substrat mit einer Siliziumoberfläche.

Hochintegrierte Speicher- und Logikschaltkreise sowie Schaltkreise für die Datenübertragung mit hoher Geschwindigkeit basieren auf MOS-Transistoren, die mit Hilfe einer CMOS oder BiCMOS-Technologie hergestellt werden.

Fortschritte in Richtung weiter erhöhter Integrationsdichte von Schaltkreisen erfordern die Realisierung von Bauelementen mit extrem geringen Ausmaßen elektronisch aktiver Bereiche und äußerst flachen Übergängen in der elektronischen Bandstruktur. Für die kommenden Jahre fordert die „International Technology Roadmap for Semiconductors“, Semiconductor Industries Association, 1999, eine Verkleinerung der Lateralstrukturen integrierter Schaltungen unter 70 Nanometer (nm) und eine Verringerung der effektiven Gateoxiddicke von MOS-Transistoren unter 1 Nanometer. Im Bereich der klassischen Siliziumtechnologie sind derzeit jedoch keine befriedigenden Lösungen bekannt, mit denen diese technologischen Anforderungen erfüllt werden können.

Die Realisierung von Strukturen mit verringerten Ausmaßen ist mit dem bisher als Gateoxid verwendeten Material SiO_2 (Siliziumoxid, Siliziumdioxid) nicht möglich, da bei den erforderlichen Gateoxiddicken unter 1 bis 2 nm hohe Tunnelströme auftreten. Hohe Tunnelströme haben schlechte Leistungsdaten gefertigter Schaltungen zur Folge. Unter anderem verringern sie die erzielbaren Verstärkungsfaktoren, erhöhen die Verlustleistung und sorgen für ein hohes Rauschen. Daher wird nach alternativen Gateoxid-Materialien mit hoher Dielektrizitätskonstante geforscht. Neben Materialien wie Aluminiumoxid, Zirkonoxid, Hafniumoxid ist auch Praseodymoxid in Erprobung (H.-J. Osten et al., Technical Digest IEDM 2000, S. 653).

Gatestrukturen für MOS-Transistoren heute produzierter oder in Entwicklung befindlicher Speicher- und Logikschaltungen weisen eine Schichtstruktur auf. Unmittelbar an das Si-Substrat grenzt die dünne Gateoxidschicht an. Auf der Gateoxidschicht ist eine in der Regel aus polykristallinem Silizium (Polysilizium, Poly-Si) bestehende Gateelektrode abgeschieden. Zwischen der Gateelektrode und Leiterbahnen, die in der Regel aus Aluminium gefertigt sind, ist zusätzlich ein Kontaktbereich vorgesehen. Der Kontaktbereich enthält ein oder mehrere Silizide refraktiver Metalle wie beispielsweise Wolfram (W), Molybdän (Mo), Tantal (Ta), Titan (Ti), oder Silizide von Übergangsmetallen wie Kobalt (Co), Platin (Pt); Nickel (Ni) etc. Typische, heute verwendete Gatekontaktstrukturen weisen in Richtung vom Kontaktbereich zum Gateoxid eine Schichtfolge $\text{WSi}_x/\text{Poly-Si}/\text{SiO}_2$, $\text{CoSi}_x/\text{Poly-Si}/\text{SiO}_2$ oder $\text{TiSi}_x/\text{Poly-Si}/\text{SiO}_2$ auf.

Die Kontaktbereiche sorgen für eine niederohmige Kontaktierung von Source- und Draingebieten in MOS-Transistoren sowie für eine Reduktion des Bahnwiderstandes von Gateelektroden und Leiterbahnen aus Polysilizium. Sie dienen gleichzeitig als Diffusionsbarriere, mit der eine schädliche Legierungsbildung zwischen dem halbleitenden Material (beispielsweise Silizium) und dem metallisch leitfähigen Material der Leiterbahnen verhindert wird.

In Kontaktbereichen zu einkristallinem Silizium, beispielsweise zu den Source- und Drainbereichen eines MOS-Transistors oder zum Basis-, Emitter- oder Kollektorbereich eines Bipolartransistors kommen ebenfalls vorzugsweise Silizide von Ti, Co, Pt oder Ni zum Einsatz, vgl. J. A. Kittl et al. "Salicides and Alternative Technologies for Future IC's", Solid State Technology, June 1999, 81ff. und Solid State Technology, August 1999, 55ff.

Bei bekannten Herstellungsverfahren für hochintegrierte Schaltungen wird zur Herstellung selbstjustierender Kontaktbereiche zunächst das Metall flächendeckend auf der Oberfläche des dotierten und vorstrukturierten Substrats abgeschieden. Während eines nachfolgenden Temperschrittes kommt es ausschließlich in Gebieten, in denen vor der Metallabscheidung das Siliziumsubstrat freilag und nicht mit Oxid bedeckt war, an den Berührungsstellen zwischen dem Metall und Silizium zur Bildung eines hochleitfähigen Metallsilizids. Bei einem MOS-Transistor werden auf diese Weise Kontaktbereiche an Source, Drain und Gate hergestellt.

Ein Nachteil dieses Verfahrens ist, dass anschließend das Metall in den Gebieten, in denen kein Silizid gebildet wurde, in aufwändigen Ätz- und Reinigungsschritten entfernt werden muss.

Aufgabe der Erfindung ist es, einen Transistor und ein Verfahren zur Herstellung einer integrierten Schaltung anzugeben, die bei einfacher Verfahrensführung eine besonders hohe Integrationsdichte von Bauelementen in der integrierten Schaltung ermöglichen.

Die Aufgabe wird gelöst durch einen Transistor mit einem metallsilizidhaltigen Kontaktbereich zwischen einem halbleitfähigen Bereich und einem metallisch leitenden Bereich, bei dem das Metallsilizid Praseodymsilizid enthält.

Der erfindungsgemäße Transistor weist hochwertige Kontakte auch bei kleinsten Geometrien auf. Praseodymsilizid besitzt gute elektrische Eigenschaften, die auch bei höchsten Integrationsdichten für eine niederohmige Kontaktierung sorgen. Praseodymsilizid hat eine hohe Leitfähigkeit und verhindert zugleich die Diffusion und Legierungsbildung zwischen den Materialien des halbleitfähigen und des metallisch leitfähigen Bereiches. Bei geeigneter Prozessführung sind Praseodymsilizid enthaltende Kontaktbereiche einfach und mit zuverlässig hoher Qualität herstellbar. Daher ist Praseodymsilizid besonders gut geeignet, als gegenüber herkömmlichen Materialien alternatives oder ergänzendes Material in Kontaktbereichen eines Transistors Verwendung zu finden. Auch in Kontaktbereichen anderer Halbleiterbauelemente wie beispielsweise Dioden kann Praseodymsilizid eingesetzt werden.

Der Kontaktbereich des erfindungsgemäßen Transistors ist wie bei herkömmlichen Transistoren im wesentlichen schichtförmig ausgebildet. Er weist aber nicht notwendigerweise eine - im Vergleich zu seiner Dicke - große Ausdehnung in (lateralen) Richtungen senkrecht zur Folge von halbleitendem Bereich, Kontaktbereich und metallisch leitendem Bereich auf. Durch nachträgliche Strukturierung, selbstjustierende Herstellungsverfahren oder durch entsprechende Einstellung der Herstellungsparameter, beispielsweise in epitaktischen Herstellungsverfahren, können in elektronischen Bauelementen Strukturen erzeugt werden, deren laterale Ausmaße in der Größenordnung der Dicke des Kontaktbereiches liegt.

Der Kontaktbereich des erfindungsgemäßen Transistors ist zwischen einem aus Halbleitermaterial gefertigten Bereich und einem metallisch leitfähigen Bereich angeordnet. Eine derartige Anordnung kann auf verschiedene Weise realisiert werden. Der Materialkontakt zwischen dem Bereich des Halbleitermaterials, dem Kontaktbereich und dem metallisch leitfähigen Bereich kann sich auf einen Punkt, eine Linie oder eine Fläche erstrecken. Für eine niederohmige Kontaktierung besteht bevorzugt flächenmäßiger Kontakt jeweils zwischen dem Kontaktbereich und dem halbleitenden Bereich bzw. dem metallisch leitfähigen Bereich. Der Kontaktbereich kann dabei auch in den Bereich des Halbleitermaterials oder in den metallisch leitfähigen Bereich eingebettet sein. Wesentlich ist, dass der Kontaktbereich keinerlei Materialkontakt zwischen dem Bereich des Halbleiters

und dem metallisch leitfähigen Bereich zulässt, um eine Legierungsbildung des Halbleiters mit dem Material des metallisch leitfähigen Bereiches zu vermeiden.

Der Bereich des Halbleitermaterials ist vorzugsweise elektrisch halbleitend (halbleitfähig), kann aber durch entsprechend hoch konzentrierte Dotierung auch entartet, d.h. metallisch leitfähig ausgebildet sein.

Der metallisch leitfähige Bereich enthält typischer Weise Aluminium, kann jedoch auch Silber oder Kupfer enthalten.

Der Kontaktbereich des erfindungsgemäßen Transistors grenzt in bevorzugten Ausführungsbeispielen an einen Siliziumbereich an. Dieser kann einkristallin sein, wie es bei Source und Drain-Gebieten von MOS-Transistoren oder Basis-, Emitter- und Kollektorgebieten von Bipolartransistoren der Fall ist. Der halbleitende Siliziumbereich kann aber auch polykristallin sein, wie beispielsweise regelmäßig das Material der Gateelektrode von MOS-Transistoren.

Bevorzugt besteht der Kontaktbereich vollständig aus Praseodymsilizid. Weitere Ausführungsbeispiele des erfindungsgemäßen Transistors enthalten im Kontaktbereich neben Praseodymsilizid zusätzlich ein oder mehrere Silizide eines Lanthanids, von Zirkonium oder von Haffnium.

Das erfindungsgemäße Halbleiterbauelement weist in der Regel mehrere Kontaktbereiche auf. Bei einem MOS-Transistor sind dies die Kontaktbereiche von Source, Drain und Gate, bei einem Bipolartransistor die Kontaktbereiche von Emitter, Kollektor und Basis. Andere erfindungsgemäße Halbleiterbauelemente können mehr oder weniger Kontaktbereiche aufweisen. Nicht alle Kontaktbereiche müssen Praseodymsilizid enthalten. Wo zur Verbesserung der Wirtschaftlichkeit der Prozessführung sinnvoll, kann ein Kontaktbereich auch kein Praseodymsilizid aufweisen. Bei einem MOS-Transistor weisen wegen der Möglichkeit einer besonders einfachen Prozessführung, auf die weiter unten eingegangen wird, bevorzugt die Kontaktbereiche von Source und Drain Praseodymsilizid auf. Die Gateelektrode kann hier Praseodymsilizid enthalten, kann jedoch auch vollständig aus einem anderen Silizid wie Titansilizid bestehen. Alternativ kann allein die Gateelektrode einen Kontaktbereich mit Praseodymsilizid aufweisen, während die Kontaktbereiche an Source und Drain ein anderes Silizid enthalten.

In weiteren Ausführungsbeispielen des erfindungsgemäßen Transistors weist der Kontaktbereich eine laterale Erstreckung von weniger als 200 nm auf. Besonders geeignet ist der erfindungsgemäße Transistor jedoch für hoch integrierte Schaltungen mit lateralen Strukturmaßen von weniger als 100 nm. Kontaktbereiche mit Praseodymsilizid können mit lateralen Strukturmaßen von deutlich unter 100 nm formiert werden, wie es für zukünftige Technologien erforderlich sein wird. Kontaktbereiche mit Praseodymsilizid bieten bei guten elektrischen Eigenschaften eine für moderne Technologien ausreichend hohe Homogenität und Temperaturstabilität

Die derzeit bevorzugte Ausführungsform des erfindungsgemäßen Transistors ist ein MOS-Transistor. Hier entfaltet der praseodymsilizidhaltige Kontaktbereich die größten Vorteile aufgrund seiner Kompatibilität mit Herstellungsverfahren für höchstintegrierte Schaltkreise mit lateralen Strukturmaßen unter 100 nm. Solche MOS-Transistoren weisen Gateoxid-Schichtdicken im Bereich von 1nm und geringer auf.

Bei einem bevorzugten Ausführungsbeispiel eines erfindungsgemäßen MOS-Transistors besteht das Gateoxid aus Praseodymoxid Pr_2O_3 oder Pr_6O_{11} , vorzugsweise Pr_2O_3 . Praseodymoxid Pr_2O_3 weist eine hohe, von der Dotierung des Substrats unabhängige Dielektrizitätszahl von $K_{\text{eff}}=31\pm 3$ auf und lässt sich in überwiegend kristalliner Phase herstellen. Es zeichnet sich zusätzlich durch eine äußerst geringe Leckstromdichte aus, die gegenüber vergleichbaren Dielektrika wie ZrO_2 und HfO_2 um einen Faktor von etwa 10^{-4} bis 10^{-5} verringert sind. Weitere Vorteile dieses Materials sind seine große Beständigkeit bei hohen Prozesstemperaturen und Verspannung des Kristallgitters. Aufgrund dieser Eigenschaften ist Praseodymoxid als Dielektrikum in überwiegend kristalliner Phase besonders geeignet für skalierte elektronische Bauelemente mit Skalierungsfaktoren, die bisherige Werte übersteigen.

MOS-Transistoren mit Praseodymoxid als Gatedielektrikum und Praseodymsilizid im Kontaktbereich zeichnen sich dadurch aus, dass sie in einer einfachen Prozessführung und damit besonders wirtschaftlich herstellbar sind. Dieser Prozess bildet einen selbständigen Erfindungsgedanken und wird weiter unten im einzelnen erläutert. Mit ihm lassen sich das Gateoxid und die Kontaktbereiche von Source

und Drain zugleich herstellen. Nachfolgend werden zur Verdeutlichung des Vorteils dieser Ausführungsform des erfindungsgemäßen Transistors nur die wesentlichen Verfahrensmerkmale kurz dargestellt. Im Rahmen des Herstellungsprozesses einer integrierten Schaltung wird auf einem präparierten Substrat, das vorzugsweise dotierte Source- und Draingebiete aufweist, eine Praseodymoxidschicht abgeschieden. Auf der Praseodymoxidschicht wird anschließend eine Siliziumschicht, und auf dieser wiederum eine Deckelschicht abgeschieden. Die Deckelschicht wird anschließend in einem Schritt der lateralen Strukturierung über den Gebieten von Source und Drain entfernt, so dass dort die Siliziumschicht freiliegt. Bei einem anschließenden Tempersschritt in sauerstofffreier, vorzugsweise reduzierender Gasatmosphäre oder im Vakuum wandeln sich die nicht von der Deckelschicht bedeckten Lateralabschnitte der Siliziumschicht und der Praseodymoxidschicht - insbesondere also über den Source- und Draingebieten - in Praseodymsilizid um, während sie in den von der Deckelschicht bedeckten Lateralabschnitten - insbesondere also im Bereich des Gates - nicht umgewandelt werden. Auf diese Weise werden Gateoxid und Kontaktbereiche an Source und Drain gleichzeitig in nur wenigen Prozessschritten hergestellt. Als sauerstofffreie Gasatmosphäre kommt eine Argon-Atmosphäre in Betracht, als sauerstofffreie, reduzierende Gasatmosphäre eine Wasserstoff-Atmosphäre.

Wie der Kontaktbereich des erfindungsgemäßen Transistors zusätzlich Silizide anderer Metalle enthalten kann, so kann auch die Gateoxidschicht beim vorliegenden Ausführungsbeispiel eines MOS-Transistors ein Mischoxid mit zusätzlichen Oxiden anderer Metalle, insbesondere von Lanthaniden oder Haffnium enthalten.

Bei einem solchen MOS-Transistor weist die Gateoxidschichten mit Praseodymoxid eine Schichtdicke von zwischen 3 und 50 nm auf. Bevorzugt werden Schichtdicken der Gateoxidschicht zwischen 10 und 30 nm verwendet.

Die geschilderten Vorteile des erfindungsgemäßen Transistors kommen bei MOS-Transistoren wegen der einfachen Prozessführung und der Möglichkeit zur besonders hohen Skalierung in integrierten Schaltungen besonders deutlich zum Vorschein. Doch auch bei Bipolartransistoren können die Kontaktbereiche von Basis, Emitter und Kollektor Praseodymsilizid enthalten und grundsätzlich auf die gleiche, einfache Weise hergestellt werden.

Hinsichtlich eines zweiten, selbständigen Aspektes der Erfindung wird die oben genannte Aufgabe gelöst durch ein Verfahren zur Herstellung einer integrierten Schaltung auf einem Substrat, bei dem auf einer Siliziumoberfläche in einem oder mehreren Lateralabschnitten ein metallsilizidhaltiger Kontaktbereich erzeugt wird, und das die folgenden Schritte aufweist:

- Abscheiden einer Schicht eines Metalloxids auf der Siliziumoberfläche
- Abscheiden einer Siliziumschicht auf der Metalloxidschicht
- Abscheiden einer Deckelschicht auf der Siliziumschicht
- Entfernen der Deckelschicht in einem oder mehreren Lateralabschnitten
- Tempern des Substrats in sauerstofffreier, vorzugsweise reduzierender Gasatmosphäre.

Mit dem erfindungsgemäßen Verfahren gelingt die gemeinsame, selektive Herstellung von metallsilizidhaltigen Strukturelementen und von metalloxidhaltigen Strukturelementen einer integrierten Schaltung in wenigen Schritten. Metallsilizidhaltige Strukturelemente bilden vorzugsweise Kontaktbereiche, während metalloxidhaltige Strukturelemente je nach Anordnung in der integrierten Schaltung viele verschiedene Funktionen erfüllen können, beispielsweise als Gateoxid zur Isolierung des Gates vom Substrat, als Feldoxid zur Einstellung einer hohen Schwellenspannung außerhalb der aktiven Gebiete, als Zwischenoxid für die Isolation von Polysilizium von Aluminium oder als Schutzoxid zur Passivierung der Oberfläche.

Das erfindungsgemäße Verfahren fußt auf einem neuartigen Prozess zur Bildung eines Metallsilizids auf einer Siliziumoberfläche, der einen Erfindungsgedanken mit selbständiger Schutzwürdigkeit darstellt. Für die Bildung eines Metallsilizids aus einem Metalloxid sind herkömmliche Verfahren der Silizidierung eines Metalls nicht anwendbar. Bei dem erfindungsgemäßen Prozess wird ein Metallsilizid durch Reduktion eines in Silizium eingebetteten Metalloxids gebildet. Hierfür wird zunächst eine Schicht eines Oxids des Metalls auf einer Siliziumoberfläche eines Substrats abgeschieden. Anschließend wird eine Siliziumschicht auf der Metalloxidschicht abgeschieden. Schließlich wird das Substrat in sauerstofffreier, vorzugsweise reduzierender Gasatmosphäre getempert. Als sauerstofffreie Gasatmosphäre kommt beispielsweise eine Argon-Atmosphäre in Frage, als bevorzugte

sauerstofffreie, reduzierende Gasatmosphäre eine Wasserstoff-Atmosphäre. Während dieses Temperns wandeln sich die Siliziumschicht, die Metalloxidschicht und bis zu einer gewissen Tiefe auch die Siliziumoberfläche des Substrats in eine homogene, fest mit dem Substrat verbundene Metallsilizidschicht um.

Dieser Prozess wird durch das erfindungsgemäße Verfahren zur Herstellung einer integrierten Schaltung weiterentwickelt, um eine selektive Silizidbildung (Silizidierung) in vorbestimmten Lateralabschnitten der Metalloxidschicht zu ermöglichen. Zur Vorbereitung der selektiven Silizidierung wird bei dem erfindungsgemäßen Verfahren zur Herstellung einer integrierten Schaltung eine Deckelschicht auf der Siliziumschicht abgeschieden und anschließend lateral strukturiert. Dabei wird in den Lateralabschnitten, in denen eine Silizidierung stattfinden soll, die Deckelschicht von der Siliziumschicht entfernt. Erst danach wird der Schritt des Temperns in einer sauerstofffreien, vorzugsweise reduzierenden Gasatmosphäre - beispielsweise einer Argon- oder bevorzugt einer Wasserstoff-Atmosphäre - durchgeführt. Auch ein Vakuum wird in diesem Zusammenhang als Gasatmosphäre verstanden. In den von der Deckelschicht bedeckten Lateralabschnitten bleibt das Metalloxid während des Temperschritts erhalten, während in den nicht von ihr bedeckten Lateralabschnitten die oben beschriebene Silizidierung stattfindet. Nach dem Temperschritt bildet das Metallsilizid in den nicht von der Deckelschicht bedeckten Lateralabschnitten die Substratoberfläche.

Eine derartige selektive Silizidierung kann in unterschiedlichen Stadien der Herstellung der integrierten Schaltung erfolgen, je nach den gerade zu formierenden Strukturelementen. Besonders geeignet ist das erfindungsgemäße Verfahren zur selektiven Bildung der Gateoxidschicht aus dem Metalloxid und der Kontaktbereiche von Source und Drain durch Bildung des Metallsilizids aus dem Metalloxid. Aber auch die Bildung eines Gatekontaktbereiches in einem späteren Stadium der Herstellung der integrierten Schaltung kann mit dem erfindungsgemäßen Verfahren erfolgen.

Das erfindungsgemäße Verfahren erlaubt die Silizidbildung mit lateraler hoher Selektivität. Die laterale Auflösung der Silizidierung des Metalloxids ist vorwiegend durch die kleinsten erzielbaren lateralen Ausmaße der Öffnungen in der Deckelschicht begrenzt. Laterale Transistorgeometrien von weniger als 50 nm sind

mit dem erfindungsgemäßen Herstellungsverfahren derzeit ohne weiteres erzielbar.

Bei bekannten gattungsgemäßen Verfahren erforderliche Ätz- und Reinigungsschritte, mit denen im Rahmen der Herstellung selbstjustierender Kontaktbereiche abgeschiedenes Metall von den übrigen Lateralabschnitten der Substratoberfläche wieder entfernt werden muss, können im erfindungsgemäßen Verfahren entfallen oder sind lediglich in reduzierter Anzahl erforderlich. Die nach dem Tempern außerhalb der elektrisch aktiven Bereiche verbliebenen Metalloxidschichtabschnitte können für andere Funktionen, etwa als Feldoxid, erhalten bleiben. Alternativ werden sie in einem nachfolgenden Schritt entfernt.

Für die Durchführung des erfindungsgemäßen Verfahrens geeignet sind grundsätzlich elektrisch isolierende Metalloxide, auch Mischungen solcher Metalloxide. Eine weitere Auswahlbedingung für das Metalloxid ist, dass ein Silizid desselben Metalls eine gute elektrische Leitfähigkeit aufweist. Die Abscheidung einer Schicht des Metalloxids und ihre Umwandlung in das Metallsilizid muss bei Temperaturen von weniger als 1100°C möglich sein, um eine Zerstörung der zuvor präparierten Strukturen der integrierten Schaltung durch Ausdiffusion von Dotanden aus den Dotierungsgebieten zu vermeiden.

Bevorzugt werden Metalloxide mit einer hohen Dielektrizitätskonstante verwendet, um integrierte Schaltungen mit geringen Ausmaßen ihrer Bauelemente herstellen zu können. Geeignet sind neben dem bevorzugten Praseodymoxid beispielsweise Oxide weiterer Seltenerdmetalle, der Lanthanide, des Titans sowie Zirkonoxid und Hafniumoxid oder Mischoxide aus diesen Komponenten.

Praseodymoxid hat neben den oben schon genannten Vorteilen den Vorzug, dass es ein ausreichend häufig vorkommendes Material ist, das auch in der Glasindustrie, bei der Katalyse und für ferroelektrische Speichermedien verwendet wird und daher kostengünstig erhältlich ist.

Der Schritt der Tempers des Substrats wird vorzugsweise in einer wasserstoffhaltigen Gasatmosphäre, insbesondere einer reinen Wasserstoffatmosphäre durchgeführt, um die Reduktion des Metalloxids zu ermöglichen.

Bei einem weiteren Ausführungsbeispiel des erfindungsgemäßen Verfahrens wird der Schritt des Temperns des Substrats in einem Vakuum durchgeführt. Der Gasdruck des Vakuums sollte bei einem für die Mikroelektroniktechnologie üblichen Wert, beispielsweise zwischen 10^{-3} und 10^{-7} Pa, vorzugsweise zwischen 10^{-5} und 10^{-6} Pa liegen.

Die beim Schritt des Temperns des Substrats herrschende Temperatur sollte bei Verwendung von Praseodymoxid zwischen 650°C und 1100°C liegen. Im Bereich einer Temperatur von 650°C findet die Silizidierung mit relativ geringer Geschwindigkeit statt und erfordert ein langes Tempern über mehrere Stunden bis zu einem Tag. Oberhalb von 1100°C droht, wie oben erläutert, die Zerstörung der präparierten Strukturen. Vorzugsweise wird der Schritt des Temperns des Substrats bei einer Temperatur von zwischen 700°C und 800°C durchgeführt. Dadurch wird zum einen die Stabilität der präparierten Strukturen gewährleistet und zum anderen wirtschaftlich sinnvolle Temperzeitspannen erzielt.

Die Zeitspanne, über die der Tempersschritt durchgeführt wird, ist unter anderem abhängig von der eingestellten Temperatur und von der Schichtdicke der Siliziumschicht über der Metalloxidschicht. Temperzeitspannen können daher von zwischen wenigen Sekunden bis zu mehreren Stunden betragen. Bevorzugt werden Temperzeitspannen von zwischen 10 und 50 Minuten, insbesondere 30 Minuten verwendet.

Bei einem Ausführungsbeispiel für die Herstellung einer Praseodymsilizidschicht aus einer Praseodymoxidschicht mit dem erfindungsgemäßen Verfahren erfolgt der Schritt des Temperns des Siliziumsubstrats über eine Zeitspanne von 60 Minuten bei einer Temperatur von 700°C in einem Vakuum mit einem Gasdruck von 7×10^{-6} Pa.

Der Schritt des Abscheidens der Metalloxidschicht auf der Siliziumoberfläche kann mittels eines physikalischen oder eines chemischen Abscheideverfahrens aus der Gasphase erfolgt. Einzelheiten der möglichen Verfahren zur Abscheidung einer Praseodymoxidschicht sind in der Anmeldung DE 10039327.6 der Anmelderin beschrieben. Insbesondere kann ein epitaktisches Aufwachsen der Metalloxidschicht durch die Wahl geeigneter Verfahrensparameter in der Gasphasenepitaxie erzielt werden.

Die abzuscheidende Schichtdicke ist bei Verwendung des Metalloxids als Gateoxid abhängig von der Dielektrizitätskonstante des Metalloxids. Eine als Gateoxid vorgesehene Praseodymoxidschicht wird mit einer Schichtdicke von zwischen 3 und 50 nm abgeschieden. Für die Höchstintegration werden vorzugsweise Schichtdicken von zwischen 10 und 30 nm verwendet.

Der Schritt des Abscheidens der Siliziumschicht auf der Metalloxidschicht kann mit Hilfe jeder bekannten Technologie erfolgen. Vorzugsweise wird die Siliziumschicht aus der Gasphase mittels chemischer Gasphasenepitaxie (Chemical Vapour Deposition) abgeschieden. Die abgeschiedene Siliziumschicht kann für die Durchführung des erfindungsgemäßen Verfahrens amorph, polykristallin oder einkristallin ausgebildet sein.

Die Dicke der Siliziumschicht über der Metalloxidschicht soll zwischen 5 und 50 nm betragen. Zu hohe Schichtdicken verhindern die vollständige Reduktion des Metalloxids. Bei der Bildung von Praseodymsilizidschichten aus Praseodymoxid haben sich Siliziumschichten mit einer Schichtdicke von zwischen 10 und 30 Nanometern bewährt.

Bei einer bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens wird der Schritt des Abscheidens der Siliziumschicht auf der Praseodymoxidschicht unmittelbar nach dem Schritt des Abscheidens der Praseodymoxidschicht durchgeführt. Dabei wird vorzugsweise ein Kontakt des Substrats mit Umgebungsluft vermieden.

Als Material der Deckelschicht kann ein Metall, ein Halbleiter oder ein Isolator verwendet werden. In einem besonders einfachen Verfahren ist auch das Material der Deckelschicht Silizium. Dies eröffnet die Möglichkeit, Siliziumschicht und Deckelschicht in einem Abscheideschritt auf das Metalloxid aufzubringen und anschließend mit üblichen Strukturierungsmethoden die Deckelschicht in den für die Silizidbildung vorgesehenen Lateralabschnitten zu entfernen. Alternativ können auch Isolatoren wie Siliziumnitrid oder Siliziumoxid als Deckelschicht abgeschieden werden.

Ist das Material der Deckelschicht Silizium, so ist die Temperaturstabilität der

Praseodymoxidschicht unter der Deckelschicht umso größer, je dicker die Deckelschicht ist. Die Temperaturstabilität der Praseodymoxidschicht unter der Deckelschicht aus Silizium kann weiter erhöht werden, indem das Tempern in einer reduzierenden Stickstoffatmosphäre durchgeführt wird.

Das erfindungsgemäße Verfahren ist in erster Linie für den Einsatz im Rahmen eines CMOS- oder BiCMOS-Prozesses zur Herstellung integrierter Schaltungen vorgesehen und ermöglicht die Realisierung höchstintegrierter Speicher- und Logikschaltkreise sowie von Schaltkreisen für die mobile Telekommunikation. Das erfindungsgemäße Verfahren kann auch in Bipolartechnologien verwendet werden, beispielsweise für die Herstellung von Transistorkontakten von Bipolartransistoren.

Nachfolgend werden zwei Ausführungsbeispiele anhand der Zeichnung beschrieben. Es zeigen

- Figur 1 eine vereinfachte Schnittdarstellung eines Ausführungsbeispiels eines MOS-Transistors während der Herstellung, vor dem Schritt des Temperns in einer reduzierenden, sauerstofffreien Gasatmosphäre,
- Figur 2 eine vereinfachte Schnittdarstellung desselben Ausführungsbeispiels nach dem Schritt des Temperns in einer reduzierenden, sauerstofffreien Gasatmosphäre,
- Figur 3 ein mittels Augerelektronenspektroskopie aufgenommenes Elementtiefenprofil entlang einer Linie III-III aus Figur 1,
- Figur 4 ein mittels Augerelektronenspektroskopie aufgenommenes Elementtiefenprofil entlang einer Linie IV-IV aus Figur 2,
- Figur 5 ein mittels Augerelektronenspektroskopie aufgenommenes Elementtiefenprofil mit einer im Vergleich zum in Figur 3 dargestellten Profil dickeren Siliziumschicht,
- Figur 6 das Elementtiefenprofil aus Figur 5 nach einem Temperschritt,

Figur 7 das Elementtiefenprofil aus Figur 5 nach einem Tempersschritt in einer Stickstoffatmosphäre.

Figur 1 zeigt eine vereinfachte Schnittdarstellung eines Ausführungsbeispiels eines MOS-Transistors 10 während der Herstellung, und zwar vor dem Schritt des Temperns in einer reduzierenden, sauerstofffreien Gasatmosphäre. Ein Siliziumwafer 12 ist für integrierte CMOS oder BiCMOS-Schaltungen vorpräpariert und im in Figur 1 dargestellten Bereich lateral selektiv mit den erforderlichen Implantationen zur Realisierung eines MOS-Transistors und seiner Source- und Drainkontakte versehen. Dementsprechende Details, die voll und ganz dem gängigen Stand der Technik entsprechen, sind in Figur 1 der Einfachheit der Darstellung halber weggelassen.

Auf der Waferoberfläche ist eine Praseodymoxidschicht 14 abgeschieden. Ihre Schichtdicke ist in lateraler Richtung gleichbleibend und beträgt zwischen 10 und 30 Nanometern. Auf der Praseodymoxidschicht 14 ist eine Siliziumschicht 16 abgeschieden, deren Schichtdicke in lateraler Richtung ebenfalls gleichbleibend ist und zwischen 10 und 30 Nanometern beträgt. Auf der Siliziumschicht sind drei Deckelschichtabschnitte 18.1, 18.2, 18.3 einer Deckelschicht 18 aufgebracht. Nach Entfernen von Deckelschichtpartien zwischen den Deckelschichtabschnitten 18.1 und 18.2 sowie 18.2 und 18.3 sind Siliziumschichtabschnitte 20 und 22 der Siliziumschicht 16 freigelegt. Die freigelegten Siliziumschichtabschnitte 20 und 22 sind über den hier nicht näher gekennzeichneten Dotierungsgebieten von Source und Drain im Wafer 12 angeordnet.

Figur 2 zeigt denselben MOS-Transistor in einem späteren Verfahrensabschnitt, und zwar nach dem Schritt des Temperns in einer reduzierenden, sauerstofffreien Gasatmosphäre. Gleiche Bezugszeichen kennzeichnen hier gegenüber Figur 1 gleiche Strukturelemente. Während des Temperschlittes haben sich in den freiliegenden Schichtabschnitten 20 und 22 die Siliziumschicht 16 und die Praseodymoxidschicht 14 zusammen mit oberflächennahen Abschnitten des Siliziumwafers 12 in Kontaktbereiche 24 und 26 aus Praseodymsilizid umgewandelt. Die so hergestellten Kontaktbereiche 24 und 26 zeichnen sich durch gutes Kontaktverhalten zum Silizium des Wafers 12 aus. Unter den Deckelschichtabschnitten 18.1 bis 18.3 angeordnete Siliziumschichtabschnitte 16.1 bis 16.3 sowie Praseodymoxidschichtabschnitte 14.1 bis 14.3 sind auch nach den

Tempereschritt erhalten. Der Praseodymoxidschichtabschnitt 14.2 bildet die Gateoxidschicht des MOS-Transistors 10.

In nachfolgenden Prozessschritten werden die Gateelektrode und der Gatekontakt hergestellt. Durch Verwendung geeigneter Masken kann auch der Gatekontakt mit einem Praseodymsilizid-Kontaktbereich hergestellt werden. Auf den in dieser Weise selbstjustierend hergestellten Kontaktbereichen 24 und 26 wird in einem späteren Verfahrensschritt ein metallisch leitfähiges Kontaktmaterial, beispielsweise Aluminium, abgeschieden (hier nicht dargestellt).

Figur 3 zeigt in einem Diagramm an der MOS-Transistorstruktur 10 aufgenommene Elementtiefenprofile für die Elemente Sauerstoff O, Praseodym Pr und Silizium Si. Die Elementtiefenprofile wurden in etwa längs der Linie III-III aus Figur 1 mittels Augerelektronenspektroskopie (AES) aufgenommen. An der Abszisse ist die Sputterzeit in Minuten während der Aufnahme des Elementtiefenprofils aufgetragen. Mit zunehmender Sputterzeit werden tieferliegende Schichten der MOS-Transistorstruktur entlang der Linie III-III aus Figur 1 freigelegt. Die Energie der Augerelektronen, die von den beim Sputtern vom Wafer abgelösten Atomen emittiert werden, wird laufend analysiert und zur Identifizierung der abgesputterten Atome herangezogen. An der Ordinatenachse des Diagramms in Figur 3 aufgetragen ist die aus der Signalintensität in verschiedenen Energiebereichen ermittelte Konzentration der Elemente Si, Pr und O in Atomprozent (Atom%).

Eine oberhalb des Diagramms gezeichnete Linie L zeigt anhand ihrer Unterteilung die wesentlichen Ergebnisse, die nachfolgend erläutert werden. Die Unterteilung zeigt an, welcher Schicht der Struktur aus Figur 1 welche Bereiche der Elementtiefenprofile zuzuordnen sind. Die Unterteilung der Linie kann aufgrund der begrenzten Tiefenauflösung der Messung nur die ungefähre Lage der Grenzflächen zwischen den Schichten 12 und 14 bzw. 14 und 16 zeigen. Ein mit L16 markierter Linienabschnitt zeigt erstreckt sich oberhalb des Abszissenabschnitts, in dem das Elementtiefenprofil im Bereich der Siliziumschicht 16 aufgenommen wurde. Entsprechend zeigt ein Linienabschnitt L14 den Profilbereich der Praseodymoxidschicht 14 und ein L12 den Profilbereich des Siliziumwafers 12.

Das Elementtiefenprofil im Bereich der Siliziumschicht 16 zeigt neben einem deutlich überwiegenden Siliziumanteil nahe der Oberfläche zunächst einen bei 20 Atomprozent liegenden Sauerstoffanteil, der mit zunehmender Tiefe in Richtung der Praseodymoxidschicht 14 rasch abnimmt. Dies deutet auf eine dünne Siliziumoxidschicht auf der Oberfläche hin. Im Bereich L14 ist nahezu kein Silizium nachweisbar, sondern allein Sauerstoff und Praseodym, wie es für die Praseodymoxidschicht zu erwarten ist. Im Bereich L12 fallen die Konzentrationsanteile von Sauerstoff und Praseodym mit zunehmender Tiefe wie zu erwarten rasch ab, da hier der Siliziumwafer analysiert wird.

Figur 4 zeigt zum Vergleich mit Figur 3 ein Elementtiefenprofil der Elemente O, Pr und Si derselben Struktur 10 nach dem Schritt des Temperns bei 700°C über 60 Minuten in einem Vakuum von etwa 7×10^{-6} Pa. Das Elementtiefenprofil wurde etwa entlang der Linie IV-IV aus Figur 2 aufgenommen. Deutlich zu erkennen ist, dass Sauerstoff nur noch in einem schmalen Bereich nahe der Oberfläche enthalten ist, was wiederum mit der Bildung einer dünnen Siliziumoxidschicht zu erklären ist. Darunter sind in einem Abschnitt M26, der dem Kontaktbereich 26 entspricht, fast ausschließlich Praseodym und Silizium enthalten. Die Siliziumschicht 16 und die Praseodymoxidschicht 14 haben sich in eine vollständige Praseodymsilizidschicht verwandelt. Der für die Leitfähigkeit des Kontakt nachteilige Sauerstoff ist ausdiffundiert. Dies zeigt, dass mit dem oben beschriebenen Verfahren erfolgreich für höchstintegrierte Schaltungen geeignete praseodymsilizidhaltige Kontaktbereiche herstellbar sind.

In einer Ausgestaltung des erfindungsgemäßen Verfahrens wird als Deckelschicht 18 polykristallines Silizium, kurz Poly-Silizium, aufgebracht. Diese Art der Deckelschicht wird im Folgenden Si-Deckelschicht genannt. Die Ausbildung der Deckelschicht als Si-Deckelschicht bietet den Vorteil, dass die Siliziumschicht 16 und die Deckelschicht 18 als eine einzige Schicht, im Folgenden Si-Gesamtschicht genannt, in einem einzigen Verfahrensschritt aufgebracht werden können. Beim anschließenden Strukturieren wird die Si-Gesamtschicht in den Bereichen, in denen Silizid gebildet werden soll, bis zu einer Restdicke zwischen 10 und 30 Nanometern abgetragen.

Im nachfolgenden Temperschritt wird in den Bereichen, in denen die Si-Gesamtschicht bis auf die Dicke zwischen 10 und 30 Nanometer abgetragen

worden ist, wie oben beschrieben Praseodymsilizid gebildet. In den übrigen Bereichen, in denen die Si-Gesamtschicht nicht abgetragen worden ist, ist die Praseodymoxidschicht 14 durch die Si-Gesamtschicht gegen die Silizidbildung geschützt.

Versuche haben gezeigt, dass eine Poly-Siliziumschicht als Deckelschicht 18 neben den genannten Vorteilen den Vorteil bietet, dass die Temperaturstabilität der Praseodymoxidschicht 14 bei sonstigen Tempersritten erhöht wird. Je dicker die Poly-Siliziumschicht ist, desto länger ist die Praseodymoxidschicht 14 temperaturstabil.

Das Praseodymoxid liegt in der Praseodymoxidschicht 14 insbesondere entweder in polykristalliner, überwiegend kristalliner oder einkristalliner Phase vor. Überwiegend kristallin soll hierbei bedeuten, dass das Praseodymoxid in polykristalliner Phase mit großen einkristallinen Bereichen vorliegt. In den genannten Fällen bildet sich am Übergang von einer einkristallinen Siliziumunterlage zum Praseodymoxid eine amorphe Zwischenschicht aus. Nach bisherigen Erkenntnissen besteht diese amorphe Zwischenschicht überwiegend aus einer amorphen Mischung aus Praseodym und Siliziumoxid. Wird die Zwischenschicht während des Temperns breiter, führt dies zu einer Verschlechterung der elektrischen Eigenschaften der Praseodymoxidschicht, insbesondere ihrer Dielektrizitätskonstante. Die Parameter des Temperschlittes, zum Beispiel die Temperatur, die Dauer des Temperns, die Art der Atmosphäre und die Dicke der Deckschicht, werden vorzugsweise so gewählt, dass die amorphe Zwischenschicht durch den Tempervorgang nicht oder nur geringfügig verbreitert wird. Dies gilt nicht nur für den Fall, dass das Material der Deckelschicht 18 Polysilizium ist, sondern auch für den Fall, dass das Material der Deckelschicht 18 Metall ist.

Figur 5 zeigt ein Diagramm entsprechend Figur 3, jedoch mit einer relativ zur Praseodymoxidschicht 14 dickeren, über der Praseodymoxidschicht 14 abgeschiedenen Siliziumschicht. In Figur 6 ist das Elementtiefenprofil aus Figur 5 nach einstündigem Tempern gezeigt. Das Tempern wurde unter den gleichen Bedingungen wie das Tempern der in Figur 3 gezeigten Struktur durchgeführt. Es ist aus Figur 6 zu erkennen, dass das Tempern die Praseodymoxidschicht fast völlig unversehrt gelassen hat. Kein Silizium ist in die Praseodymoxidschicht 14

eingedrungen und lediglich die Übergänge zwischen den Schichten erscheinen gegenüber der Struktur vor dem Tempern geringfügig verbreitert.

Die Temperaturstabilität der Praseodymoxidschicht 14 kann weiter erhöht werden, indem das Tempern in einer wasserstoffhaltigen Stickstoffatmosphäre durchgeführt wird. Statt der wasserstoffhaltigen Stickstoffatmosphäre können auch andere reduzierende Stickstoffatmosphären Verwendung finden.

In Figur 7 ist eine Struktur, wie sie in Figur 5 dargestellt ist, gezeigt, nachdem sie bei 800 Grad Celsius für drei Stunden in einer Stickstoffatmosphäre getempert worden ist. Das nach dem Tempern aufgenommene Elementtiefenprofil ist praktisch mit dem in Figur 5 gezeigten Elementtiefenprofil vor dem Tempern identisch. Wird das Tempern dagegen nicht in einer Stickstoffatmosphäre vorgenommen, zeigen sich bereits nach zweistündigem Tempern bei 700 Grad Celsius schwerwiegende Veränderungen in der Praseodymoxidschicht, insbesondere auch eine Verbreiterung der Übergänge zu den benachbarten Schichten.

Patentansprüche

1. Transistor (10) mit einem metallsilizidhaltigen Kontaktbereich (24, 26) zwischen einem halbleitfähigen Bereich (12) und einem metallisch leitfähigen Bereich, dadurch gekennzeichnet, dass das Metallsilizid Praseodymsilizid enthält.
2. Transistor nach Anspruch 1, dadurch gekennzeichnet, dass der Kontaktbereich (24, 26) an einen halbleitenden Siliziumbereich (12) angrenzt.
3. Transistor nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der Kontaktbereich (24, 26) eine laterale Erstreckung von weniger als 200 nm oder weniger als 100 nm hat.
4. Transistor nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass der Kontaktbereich (24, 26) zusätzlich ein Metallsilizid der Lanthanidengruppe enthält.
5. Transistor nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, dass der Kontaktbereich (24, 26) zusätzlich ein Silizid von Zirkonium oder Hafnium enthält.
6. Transistor nach einem der vorstehenden Ansprüche, gekennzeichnet durch seine Ausbildung als MOS-Transistor (10).
7. Transistor nach Anspruch 6, mit einer Gateelektrode, die eine Gateoxidschicht (14.2) zwischen dem Siliziumsubstrat (12) und einer Siliziumschicht (16.2) aufweist, dadurch gekennzeichnet, dass die Gateoxidschicht (14.2) Praseodymoxid enthält.
8. Transistor nach Anspruch 7, dadurch gekennzeichnet, dass die Gateoxidschicht eine (14, 14.2) Schichtdicke von zwischen 3 und 50 nm aufweist.
9. Transistor nach Anspruch 8, dadurch gekennzeichnet, dass die Gateoxidschicht (14, 14.2) eine Schichtdicke von zwischen 10 und 30 nm aufweist.

10. Transistor nach einem der Ansprüche 1 bis 5, gekennzeichnet durch seine Ausbildung als Bipolartransistor.
11. Verfahren zur Herstellung einer integrierten Schaltung auf einem Substrat (10, 12), bei dem auf einer Siliziumoberfläche in einem oder mehreren Lateralabschnitten (20, 22) ein metallsilizidhaltiger Kontaktbereich (24, 26) erzeugt wird, gekennzeichnet durch die Schritte:
 - Abscheiden einer Schicht (14) eines Metalloxids auf der Siliziumoberfläche,
 - Abscheiden einer Siliziumschicht (16) auf der Metalloxidschicht (14),
 - Abscheiden einer Deckelschicht (18) auf der Siliziumschicht (16),
 - Entfernen der Deckelschicht (18) in einem oder mehreren Lateralabschnitten (20, 22),
 - Tempern des Substrats (12) in reduzierender, vorzugsweise sauerstofffreier Gasatmosphäre.
12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, dass das Metalloxid ein Oxid eines Seltenerdmetalls ist.
13. Verfahren nach Anspruch 12, dass das Seltenerdmetall Praseodym ist.
14. Verfahren nach einem der Ansprüche 11 bis 13, dadurch gekennzeichnet, dass der Schritt der Tempers des Substrats (10,12) in einer wasserstoffhaltigen Gasatmosphäre durchgeführt wird.
15. Verfahren nach Anspruch 14, dadurch gekennzeichnet, dass der Schritt des Tempers in einer wasserstoffhaltigen Stickstoffatmosphäre durchgeführt wird.
16. Verfahren nach einem der Ansprüche 11 bis 13, dadurch gekennzeichnet, dass der Schritt des Tempers des Substrats (10,12) in einem Vakuum durchgeführt wird.
17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, dass der Schritt des Tempers des Substrats(10,12) unter einem Gasdruck des Vakuums

von zwischen 10^{-3} und 10^{-7} Pa, insbesondere von zwischen 10^{-5} und 10^{-6} Pa durchgeführt wird.

18. Verfahren nach einem der Ansprüche 11 bis 17, dadurch gekennzeichnet, dass der Schritt des Temperns des Substrats (10, 12) bei einer Temperatur von zwischen 650°C und 1100°C durchgeführt wird.
19. Verfahren nach Anspruch 18, dadurch gekennzeichnet, dass der Schritt des Temperns des Substrats (10, 12) bei einer Temperatur von zwischen 700°C und 800°C durchgeführt wird.
20. Verfahren nach einem der Ansprüche 11 bis 19, dadurch gekennzeichnet, dass der Schritt des Temperns des Substrats (10, 12) über eine Zeitspanne von zwischen wenigen Sekunden und mehreren Stunden durchgeführt wird.
21. Verfahren nach Anspruch 20, dadurch gekennzeichnet, dass der Schritt des Temperns des Siliziumsubstrats (10, 12) über eine Zeitspanne von zwischen 10 und 50 Minuten durchgeführt wird.
22. Verfahren nach Anspruch 21, dadurch gekennzeichnet, dass der Schritt des Temperns des Siliziumsubstrats (10, 12) über eine Zeitspanne von 30 Minuten durchgeführt wird.
23. Verfahren nach Anspruch 20, dadurch gekennzeichnet, dass der Schritt des Temperns des Substrats (10, 12) über eine Zeitspanne von 60 Minuten bei einer Temperatur von 700°C in einem Vakuum mit einem Gasdruck von 7×10^{-6} Pa erfolgt.
24. Verfahren nach einem der Ansprüche 11 bis 23, dadurch gekennzeichnet, dass der Schritt des Abscheidens der Metalloxidschicht mittels eines physikalischen oder eines chemischen Abscheideverfahrens aus der Gasphase erfolgt.

25. Verfahren nach einem der Ansprüche 11 bis 24, dadurch gekennzeichnet, dass der Schritt des Abscheidens der Metalloxidschicht (14) so durchgeführt wird, dass die Metalloxidschicht (14) epitaktisch aufwächst.
26. Verfahren nach einem der Ansprüche 13 bis 25, dadurch gekennzeichnet, dass eine Praseodymoxidschicht (14) mit einer Schichtdicke von zwischen 3 und 50 nm abgeschieden wird.
27. Verfahren nach einem der Ansprüche 13 bis 26, dadurch gekennzeichnet, dass eine Praseodymoxidschicht (14) mit einer Schichtdicke von zwischen 10 und 30 nm abgeschieden wird.
28. Verfahren nach einem der Ansprüche 11 bis 27, dadurch gekennzeichnet, dass der Schritt des Abscheidens einer Siliziumschicht (16) auf der Metalloxidschicht (14) aus der Gasphase mittels chemischer Gasphasenepitaxie (Chemical Vapour Deposition) erfolgt.
29. Verfahren nach einem der Ansprüche 11 bis 28, dadurch gekennzeichnet, dass die Siliziumschicht (16) mit einer Schichtdicke von zwischen 5 und 50 nm abgeschieden wird.
30. Verfahren nach Anspruch 29, dadurch gekennzeichnet, dass die Siliziumschicht (16) mit einer Schichtdicke von zwischen 10 und 30 nm abgeschieden wird.
31. Verfahren nach einem der Ansprüche 13 bis 30, dadurch gekennzeichnet, dass der Schritt des Abscheidens der Siliziumschicht (16) auf der Praseodymoxidschicht (14) unmittelbar nach dem Schritt des Abscheidens der Praseodymoxidschicht (14) durchgeführt wird.
32. Verfahren nach einem der Ansprüche 13 bis 31, dadurch gekennzeichnet, dass der Schritt des Abscheidens der Siliziumschicht (16) auf der Praseodymoxidschicht (14) nach dem Schritt des Abscheidens der Praseodymoxidschicht (14) durchgeführt wird, ohne dass das Substrat (10, 12) mit Umgebungsluft in Kontakt kommt.

33. Verfahren nach einem der Ansprüche 11 bis 32, dadurch gekennzeichnet, dass als Material der Deckelschicht (18) ein Metall abgeschieden wird.
34. Verfahren nach einem der Ansprüche 11 bis 32, dadurch gekennzeichnet, dass als Material der Deckelschicht (18) ein Halbleiter abgeschieden wird.
35. Verfahren nach Anspruch 34, dadurch gekennzeichnet, dass als Material der Deckelschicht (18) polykristallines Silizium abgeschieden wird.
36. Verfahren nach Anspruch 35, dadurch gekennzeichnet, dass die Dicke der Deckelschicht (18) größer ist, als die der Siliziumschicht (16).
37. Verfahren nach einem der Ansprüche 11 bis 33, dadurch gekennzeichnet, dass als Material der Deckelschicht (18) ein Isolator, insbesondere Siliziumdioxid oder Siliziumnitrid, abgeschieden wird.
38. Verfahren nach einem der Ansprüche 11 bis 37, dadurch gekennzeichnet, dass es im Rahmen eines CMOS- oder BiCMOS-Verfahrens durchgeführt wird.
39. Verfahren nach einem der Ansprüche 11 bis 38, dadurch gekennzeichnet, dass er Bestandteil eines Bipolarverfahrenes ist.
40. Verfahren zur Herstellung einer Schicht (24, 26) eines Silizids eines Metalls auf einem Substrat (12) mit einer Siliziumoberfläche, mit den Schritten:

Abscheiden einer Schicht (14) eines Oxids des Metalls auf der Siliziumoberfläche,

Abscheiden einer Siliziumschicht (16) auf der Metalloxidschicht (14),
Tempern des Substrats (10, 12) in sauerstofffreier, reduzierender Gasatmosphäre.
41. Verfahren nach Anspruch 40, gekennzeichnet durch eines oder mehrere der zusätzlichen Merkmale der Ansprüche 11 bis 39.

1/4

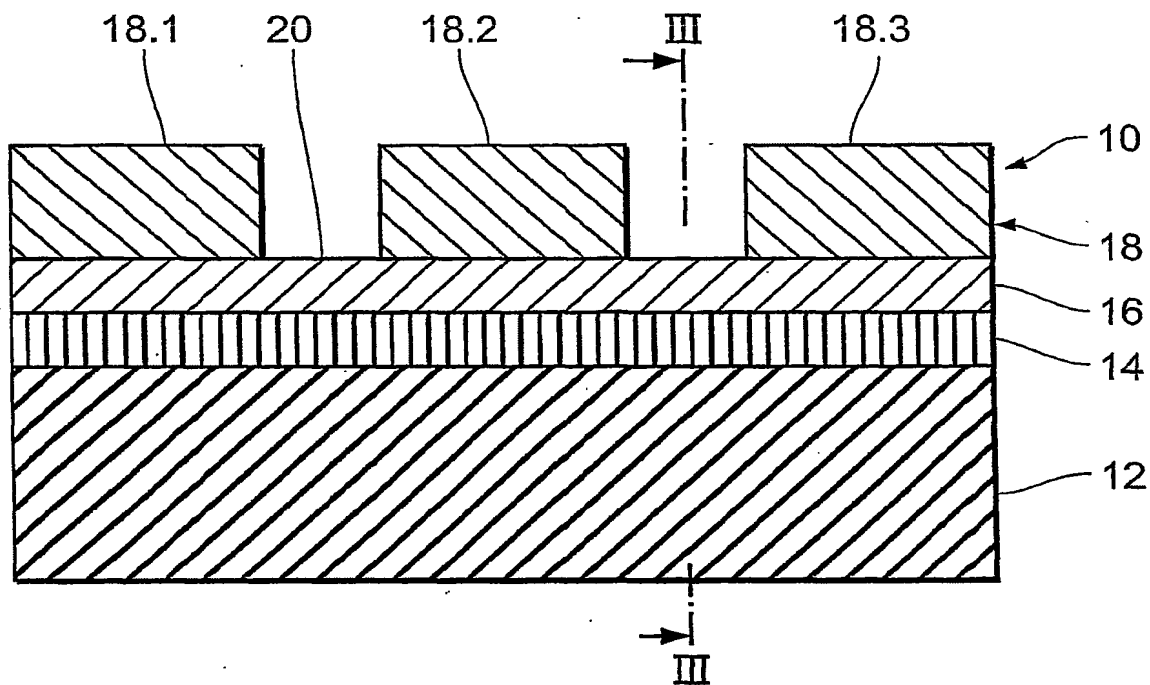


Fig. 1

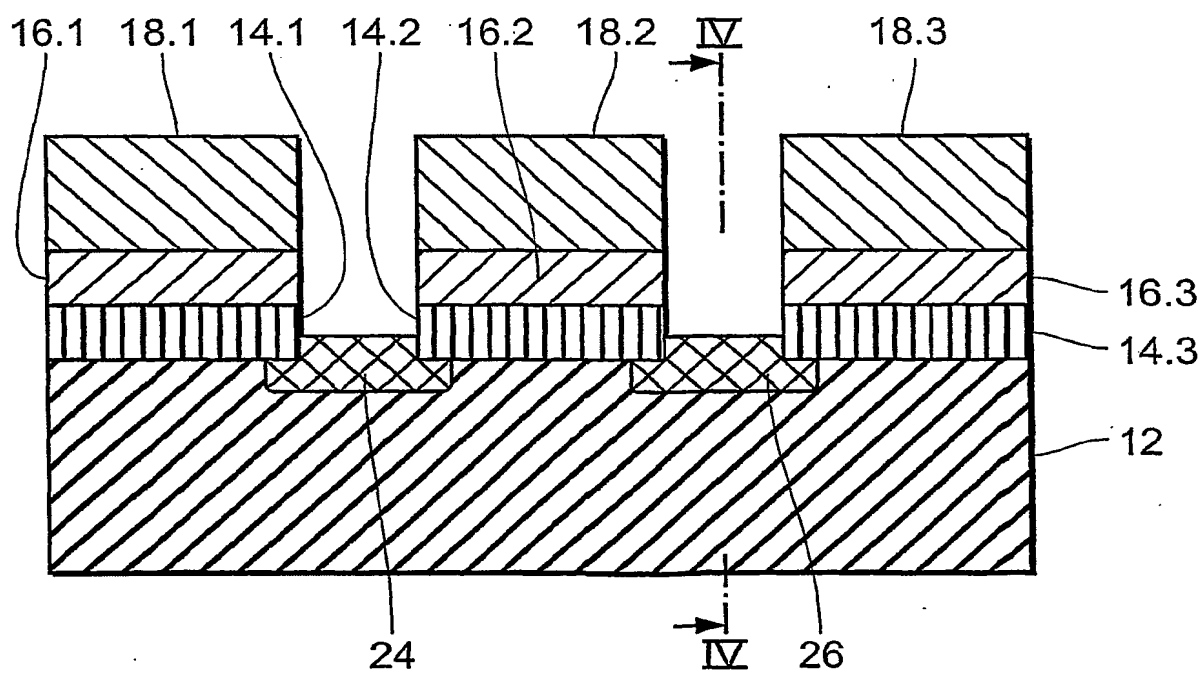


Fig. 2

2/4

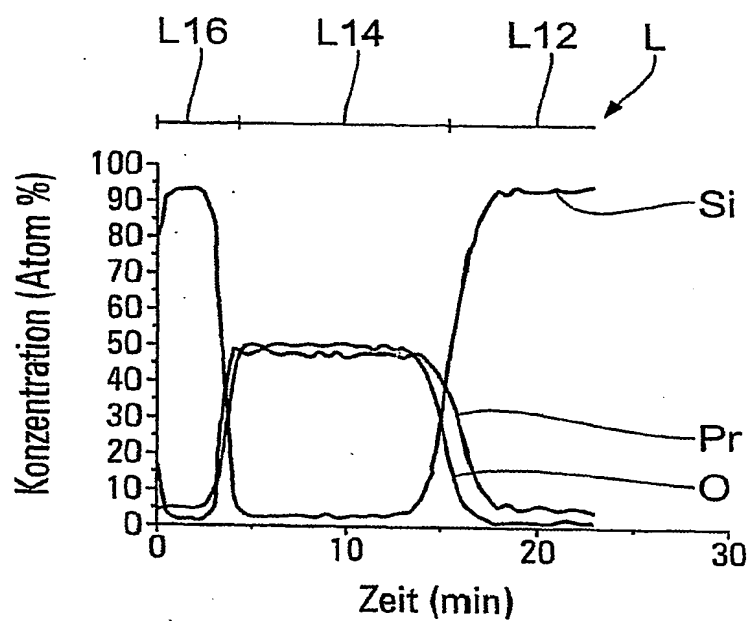


Fig. 3

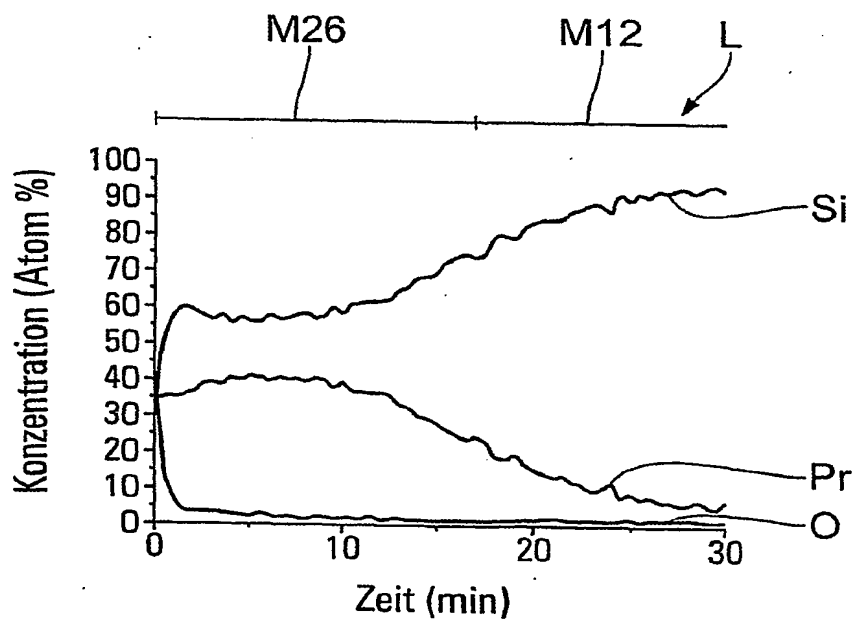


Fig. 4

3/4

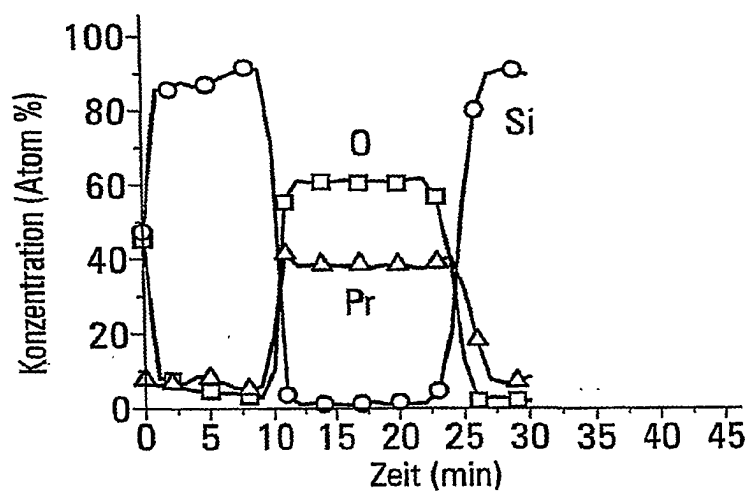


Fig. 5

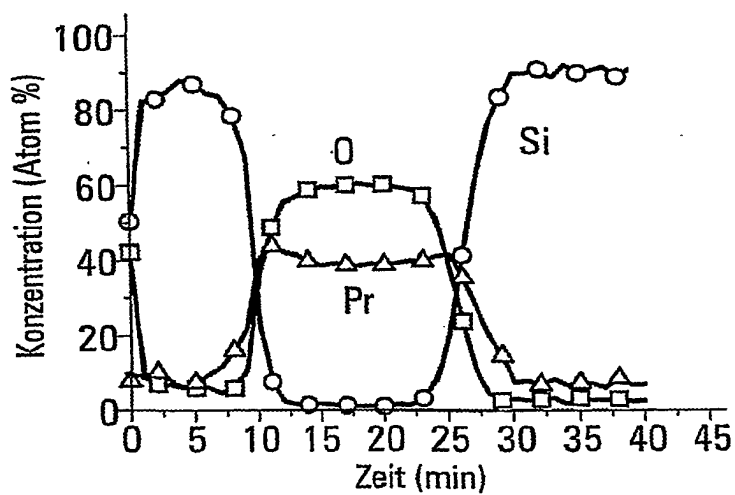


Fig. 6

4/4

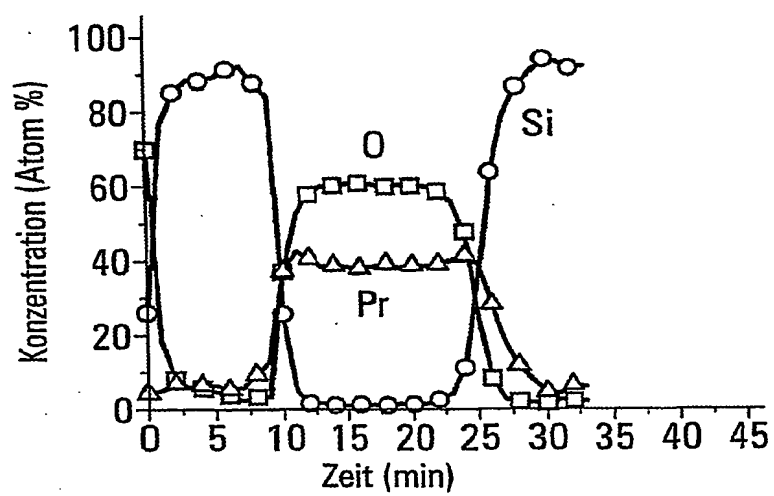


Fig. 7

THIS PAGE BLANK (USPTO)